

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicants: In-Young CHUNG Conf. No.: Not yet Assigned
Filing Date: April 2, 2004 Examiner: Unknown
Application No.: **NEW APPLICATION** Group Art Unit: Not yet Assigned
Title: METHODS AND SYSTEMS FOR DECREASING TRANSMISSION
TIMING VARIATIONS

PRIORITY LETTER

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Dear Sirs:

Pursuant to the provisions of 35 U.S.C. 119, enclosed is/are a certified copy of the following priority document(s).


<u>Application No.</u>	<u>Date Filed</u>	<u>Country</u>
2003-21115	April 3, 2003	Korea

In support of Applicant's priority claim, please enter this document into the file.

Respectfully submitted,

HARNESS, DICKEY, & PIERCE, P.L.C.

By



John A. Castellano, Reg. No. 35,094
P.O. Box 8910
Reston, Virginia 20195
(703) 668-8000

Enclosure: Certified Copy of Priority Document

JAC/tsh



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원번호 : 10-2003-0021115
Application Number

출원년월일 : 2003년 04월 03일
Date of Application APR 03, 2003

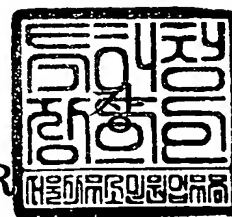
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 11 월 19 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0002
【제출일자】	2003.04.03
【발명의 명칭】	데이터 전송 시스템
【발명의 영문명칭】	DATA SIGNALING SYSTEM
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	임창현
【대리인코드】	9-1998-000386-5
【포괄위임등록번호】	1999-007368-2
【대리인】	
【성명】	권혁수
【대리인코드】	9-1999-000370-4
【포괄위임등록번호】	1999-056971-6
【발명자】	
【성명의 국문표기】	정인영
【성명의 영문표기】	CHUNG, IN-YOUNG
【주민등록번호】	700430-1831114
【우편번호】	441-390
【주소】	경기도 수원시 권선구 권선동 상록아파트 342동 902호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 임창현 (인) 대리인 권혁수 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	0 면 0 원

1020030021115

출력 일자: 2003/11/21

【우선권주장료】	0	건	0	원
【심사청구료】	10	항	429,000	원
【합계】	458,000	원		
【첨부서류】	1.	요약서·명세서(도면)_1통		

【요약서】**【요약】**

본 발명은, 데이터채널을 통하여 데이터를 송수신하는 시스템에 관한 것으로서, 상기 데이터채널에 연결되며 출력구동신호에 응답하는 출력드라이버; 그리고 소정의 데이터비트와 제어신호를 입력하며, 상기 데이터비트가 최초로 입력되기 전에 상기 제어신호에 응답하여 상기 출력구동신호를 발생하는 게이트회로를 구비한다.

【대표도】

도 5

【색인어】

타이밍변동, 데이터채널

【명세서】**【발명의 명칭】**

데이터 전송 시스템{DATA SIGNALING SYSTEM}

【도면의 간단한 설명】

도 1은 데이터전송시스템에 사용되는 전류모드 드라이버를 보여주는 도면이다.

도 2A 및 2B는 데이터비트들의 전송타이밍 패턴들을 보여주는 도면들이다.

도 3은 첫번째 데이터비트와 다음 데이터비트들간의 전송타이밍변동값들의 차이들을 보여주는 도면이다.

도 4는 본 발명에 따른 예비충전을 포함한 데이터비트들의 전송패턴들을 보여주는 도면이다.

도 5는 본 발명에 따른 출력드라이버와 그 관련회로를 보여주는 도면이다.

도 6은 도 5에 보인 노아게이트의 구체회로도이다.

도 7은 본 발명에 따른 데이터비트전송의 타이밍도이다.

본 발명에 따른 도면들에서 실질적으로 동일한 구성과 기능을 가진 구성요소들에 대하여는 동일한 참조부호를 사용한다.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<9> 본 발명은 반도체장치들 사이에서의 데이터전송에 관한 것으로서, 특히 전류모드 데이터 전송시스템에서의 신호전송에 관한 것이다.

- <10> 고속(또는 고주파)으로 데이터를 주고받는 시스템에서는, 데이터의 송수신 처리속도 뿐만 아니라 데이터의 신뢰성 또는 안정성 또한 중요하다.
- <11> 제어의 용이성과 고속동작을 위하여 시스템클럭을 사용하는 데이터전송시스템에서 데이터 또는 신호는 시스템클럭에 정확하게 동기되거나 일정한 시스템클럭과 시간차를 두고 전송되는 것이 이상적이다. 그러나, 실제적으로는 전송선호상의 노이즈, 회로들간의 부정합, 또는 데이터 패턴의 불일치 등에 의하여 신호의 전송시점이 달라지는 것이 일반적이다.
- <12> 이러한 신호의 타이밍 변동(TQ)이 심하게 되면 유효 데이터 윈도우(window)의 폭이 줄어들게 되어, 수신측에서 정확한 데이터를 받기가 어려워진다. 즉, 데이터의 유효여부를 보장할 수 있는 시간적인 여유가 감소한다. 더욱이, 고속으로 데이터가 송수신되는 환경에서는 그러한 문제는 더욱 심각해 질것이다.
- <13> 예를 들면, 램버스 디램(RDRAM)을 포함한 전류모드 송수신 시스템에서는, 최초로 송신되는 데이터비트(장시간의 대기상태로 있다가 최초로 송신되는 신호 비트)가 가장 취약한 타이밍 변동성을 가질 가능성이 있다. 그 이유는, 시스템의 레이턴시(latency)를 줄이고자 하는 환경에서 최초 비트에 대하여 충분한 셋업타임이 보장되지 못하기 때문이다. 또한, 전류모드로 신호를 송수신하는 환경에서는, 데이터를 읽지 않는 상태가 논리적으로 "0"을 의미하는 경우가 많으므로 최초로 읽는 데이터비트가 "1"인 경우에 가장 취약한 데이터패턴으로 될 가능성이 크다.
- <14> 다른 이유로는, 시스템에 내장되는 개별적 회로에 기인한 문제점을 들 수 있

다. 램버스디램의 전류모드 출력드라이버를 보인 도 1을 참조하면, 도 2A에 보인 데이터비트 DATA가 출력트랜지스터 M2의 게이트에 인가되기 전에 출력트랜지스터 M1의 게이트에 인가되는 신호 ENVG(출력드라이버를 액티브상태로 만드는 신호)가 일정한 전압으로 안정화 된 후에 데이터비트 DATA의 논리상태에 응답하여 데이터채널로 데이터가 출력된다. 그러나, 이 과정에서, 첫번째 데이터비트의 경우 신호 ENVG가 일정전압으로 안정화되기 전에 데이터가 출력되면서 데이터의 타이밍이 왜곡되는 현상이 발생한다.

<15> 또한, 출력트랜지스터들 M1 및 M2사이의 노드 N1은 채널잡음을 줄이기 위하여 대기상태에서 소정의 전압으로 프리차아지되는데, 이 프리차아지전압이 첫번째 데이터비트와 커플링되면서 도 2B에 보인 바와 같이 첫번째 데이터비트가 가장 높은 전압 ΔV_i (다른 데이터비트는 ΔV_n)을 갖게되어 타이밍에 악영향을 끼친다.

<16> 일정한 공정, 전압 및 온도조건(PVT)에서 첫번째 데이터비트와 이후 데이터비트들간의 타이밍변동값들의 차이들(ΔTQ)을 보여주는 도 3을 참조하면, 0~36 ps(pico-seconds)에 걸쳐 매우 불규칙적인 분포를 보임을 알 수 있다.

【발명이 이루고자 하는 기술적 과제】

<17> 따라서, 본 발명의 목적은, 데이터전송시스템에서 전술한 문제점들을 해결하기 위한 것으로서, 데이터비트의 출력타이밍을 안정시키는 장치를 제공함에 있다.

<18> 본 발명의 다른 목적은 고속의 데이터전송시스템에서 첫번째 데이터비트의 출력타이밍 왜곡으로 인한 데이터전송타이밍의 불안정을 억제할 수 있는 장치를 제공함에 있다.

<19> 전술한 본 발명의 목적을 달성하기 위하여, 본 발명은, 데이터채널을 통하여 데이터를 송수신하는 시스템에 있어서: 상기 데이터채널에 연결되며 출력구동신호에 응답하는 출력드라이

이버; 그리고 소정의 데이터비트와 제어신호를 입력하며, 상기 데이터비트가 최초로 입력되기 전에 상기 제어신호에 응답하여 상기 출력구동신호를 발생하는 게이트회로를 구비한다.

<20> 상기 출력구동신호는 상기 데이터비트가 최초로 입력되기 전에 상기 데이터채널을 소정의 전압레벨로 예비충전시켜, 첫번째 데이터비트의 타이밍변동을 억제한다. 상기 제어신호는 상기 데이터비트가 최초로 입력되기 전에 소정의 시간동안 활성화된다.

【발명의 구성 및 작용】

<21> 본 발명은 다수개의 데이터저장장치가 공통의 데이터채널을 통하여 시스템클럭에 동기하여 데이터를 송수신하는 시스템에 적용된다.

<22> 본 발명은 시스템클럭에 동기되어 서로 다른 패턴의 데이터 비트들("0" 또는 "1")이 순차적으로 송수신되는 시스템에 적용된다.

<23> 본 발명은 데이터 송수신을 행하는 시스템에서 소정의 기간동안 대기상태(또는 휴면상태)가 경과한 후에 첫번째의 데이터비트가 출력되기 전에 데이터채널을 소정의 전압레벨로 예비충전(precharge)시킨다.

<24> 이하, 본 발명에 따른 바람직한 실시예를 첨부된 도면들을 참조하여 상세하게 설명한다.

<25> 도 4는 본 발명에 따라 첫번째 데이터비트를 위한 예비충전의 타이밍을 보여 준다. 도 4를 참조하면, 첫번째 데이터비트를 데이터채널로 전송하기 전에 대기시간 중에 데이터채널을 소정의 전압레벨 V_p 로 예비충전시킨다. 본 발명의 실시예에서는, 하이레벨의 전압이 되는 전원전압이 1.8V인 경우에 예비충전전압 V_p 를 1.4V정도로 한다.

<26> 데이터채널을 예비충전하는 시간 T_p 는 첫번째 데이터비트가 전송되기 이전의 시스템클럭의 한주기 내에서 이루어지는 것이 적당하다.

- <27> 따라서, 첫번째 데이터비트가 "1" 또는 "0"이 되더라도 전압스윙 크기가 1/2로 줄어들게 되므로 전송타이밍 변동시간 TQ의 값이 감소한다. 그 결과, 시스템 전체에서 데이터 전송타이밍 여건이 개선될 수 있다.
- <28> 도 5는 도 4에 보인 방식을 데이터전송시스템에 실장된 램버스 디램의 출력회로에 적용한 실시예를 보여준다.
- <29> 램버스 디램에서 데이터채널 DC로 전송되는 데이터는 시스템클럭 CLK에 동기하면서 짝수번째의 데이터비트 De와 홀수번째의 데이터 Do가 교대로 송수신되는 파이프라인 방식으로 데이터전송이 이루어진다. 램버스디램에서는 데이터가 고속으로 전송되기 때문에 신호잡음을 줄이기 위하여, 도 5에 보인 바와 같이, 동일한 데이터신호 De 및 Do에 대하여 출력드라이버를 2개(11,12)로 나누어 동작시킨다.
- <30> 각각의 출력드라이버들 11 및 12의 앞단에는 짝수번 데이터비트 De 및 홀수번 데이터비트 Dc를 클럭신호에 동기하여 전송하기 위한 출력게이트회로들 10 및 20이 각각 배치된다. 각 출력게이트회로에서 데이터비트들을 입력하는 노아게이트들 NR1-NR4에는 파워다운신호 PDN이 인가되어, 전원이 다운되어 있는 동안에는 데이터가 전송되지 않도록 한다.
- <31> 첫번째 출력드라이버 11에 대하여는 시스템클럭 CLK에 동기되는 출력구동신호 Q를 엔모오스트랜지스터 M12의 게이트에 인가한다. 두번째 출력드라이버에 대하여는 시스템클럭 CLK로부터 일정시간 지연되어 발생하는 클럭지연신호 CLKD에 동기되는 지연 출력구동신호 QL을 엔모오스트랜지스터 M14의 게이트에 인가한다. 출력드라이버들 11 및 12에서 데이터채널 DC와 연결되는 엔모오스트랜지스터들 M11 및 M13의 게이트들에는 드라이버 활성화신호 ENVG가 인가된다. 드라이버 활성화신호 ENVG에 의해 트랜지스터들 M11 및 M13은 일정한 전류를 흘리도록 설

정되며, 출력구동신호들 Q 및 QL에 응답하는 감지용 트랜지스터들 M12 및 M14의 도통상태에 따라 데이터채널 DC에 대응하는 데이터가 나타난다.

<32> 출력게이트회로 10에서, 노아게이트 NR1을 통하여 입력된 짝수번 데이터비트 De는 클럭 신호 CLK가 하이상태일 때 전송게이트 T1을 통과하고 노아게이트 NR2를 통하여 입력된 홀수번 데이터비트 Do는 클럭신호 CLK가 로우상태일 때 전송게이트 T2를 통과한다. 짝수번 데이터비트 De와 홀수번 데이터비트 Do는 도 7에 보인 바와 같이 일정한 시간차를 두고 파이프라인방식으로 입력 및 전송된다. 전송게이트 T1 또는 T2를 통과한 데이터비트는 인버터들 INV1 및 INV2를 거쳐 출력구동신호 Q로서 출력드라이버 11의 엔모오스트랜지스터 M12의 게이트에 인가된다.

<33> 출력게이트회로 20에서, 노아게이트 NR3을 통하여 입력된 짝수번 데이터비트 De는 클럭 지연신호 CLKD가 하이상태일 때 전송게이트 T3을 통과하고 노아게이트 NR4를 통하여 입력된 홀수번 데이터비트 Do는 클럭지연신호 CLKD가 로우상태일 때 전송게이트 T4를 통과한다. 짝수번 데이터비트 De와 홀수번 데이터비트 Do는 도 7에 보인 바와 같이 일정한 시간차를 두고 파이프라인방식으로 입력 및 전송된다. 전송게이트 T3 또는 T4를 통과한 데이터비트는 인버터들 INV3 및 INV4를 거쳐 지연된 출력구동신호 QL로서 출력드라이버 12의 엔모오스트랜지스터 M14의 게이트에 인가된다.

<34> 출력구동신호들 Q 및 QL이 각각 클럭신호 CLK와 클럭지연신호 CLKD에 동기됨에 따라 클럭신호 CLK와 클럭지연신호 CLKD의 시간차만큼 시간간격을 두고 구동되기 때문에, 신호천이에 따른 노이즈를 분산시키는 효과가 있다.

- <35> 여기서, 출력게이트회로 20의 노아게이트 NR4에는 파워다운신호 PDN 및 홀수번 데이터비트 Do와 함께, 본 발명에 따른 예비충전을 위한 제어신호 VEN이 입력된다. 따라서, 노아게이트 NR4는 전형적인 2-입력형의 노아게이트와는 달리 도 6과 같이 구성된다.
- <36> 도 6을 참조하면, 도 5의 노아게이트 NR4는 파워다운신호 PDN에 응답하여 동작하는 피모오스트랜지스터 M21 및 엔모오스트랜지스터 M26, 홀수번 데이터비트 Do에 응답하여 동작하는 피모오스트랜지스터 M22 및 엔모오스트랜지스터 M24, 그리고 예비충전신호 VEN에 응답하여 동작하는 피모오스트랜지스터 M23 및 엔모오스트랜지스터 M25로 구성된다.
- <37> 피모오스트랜지스터 M21의 소오스는 전원전압 VCC에 연결된다. 피모오스트랜지스터들 M22 및 M23은 피모오스트랜지스터 M21의 드레인과 출력노드 OUT사이에 병렬로 연결된다. 엔모오스트랜지스터들 M24 및 M25는 출력노드 OUT과 접지전압 VSS사이에 직렬로 연결된다. 엔모오스트랜지스터 M26은 출력노드 OUT과 접지전압 VSS사이에 연결된다. 도 6에 보인 노아게이트 NR4에서 입력신호들의 논리상태에 따른 출력에 관한 진리표는 다음과 같다.

<38> 【표 1】

PDN	Do	VEN	OUT
0	0	0	1
0	0	1	1
0	1	0	1
0	1	1	0
1	X	X	0

- <39> 도 6의 회로와 표 1로부터 알 수 있는 바와 같이, 파워다운신호 PDN이 "1"인 상태, 즉 파워다운모드인 동안에는 데이터비트 Do 및 예비충전신호 VEN의 상태에 상관없이 출력 OUT이 항상 "0"이 되어 출력드라이버가 구동하지 않는다. 파워다운모드가 아닌 상태, 즉 파워다운신호

PDN이 "0"인 상태에서는, 데이터비트 Do 및 예비충전신호 VEN 중에서 적어도 하나가 "0"일 때 출력 OUT은 항상 "1"로 된다. 그리고, 파워다운신호 PDN이 "0"인 상태에서 출력 OUT이 "0"으로 되는 경우는 데이터비트 Do 및 예비충전신호 VEN이 모두 "1"일 때이다.

- <40> 예비충전신호 VEN은, 도 7의 타이밍도에 보인 바와 같이, 첫번째 데이터비트가 전송되는 시점 t_i 으로부터 클럭신호 CLK의 1~0.5 클럭사이클 이전에 활성화되어 한 클럭사이클 동안 "1"상태를 유지하도록 설계된다.
- <41> 즉, 첫번째 데이터비트(예컨대, De)가 들어오기 전에(시각 t_i 전), 파워다운신호 PDN이 "0"인 상태에서 예비충전신호 VEN이 "1"로 활성화되면 피모오스트랜지스터들 M21 및 M23을 통하여 전원전압 VCC로부터 전류가 출력 OUT으로 공급된다. 클럭지연신호 CLKD가 로우레벨로 됨에 따라, 노아게이트 NR4로부터 하이레벨 상태의 출력전류가 전송게이트 T4를 통과한 후 인버터들 INV3 및 INV4를 통하여 출력구동신호 QL로서 엔모오스트랜지스터 M14의 게이트로 공급된다. 그 결과, 엔모오스트랜지스터 M14의 채널전류가 흐름에 따라 데이터채널 DC의 전압은 그 만큼 낮아진다.
- <42> 본 발명의 실시예에서는, 1.8V의 전원전압을 사용하는 경우에 이 때의 예비충전전압을 약 1.4V로 한다. 예비충전신호 VEN이 "1"상태인 동안 흐르는 엔모오스트랜지스터 M14의 채널전류에 의해 데이터채널 DC의 전압이 약 1.4V까지 낮아지는 시점에서(시각 t_i 부근) 짝수번째 데이터비트 De가 입력된 후 홀수번째 데이터비트 Do가 입력되기 전에 예비충전신호 VEN은 "0"상태로 비활성화되고 클럭신호 CLK에 동기하여 데이터비트들이 순차적으로 입력되기 시작한다.
- <43> 따라서, 첫번째 비트, 예컨대 De가 "1"이거나 "0"이든 간에 초기의 예비충전전압 1.4V로부터 상승하거나 하강하기 때문에, 출력드라이버에서의 전압스윙폭은 0.4V정도임을 이해할 수

있다. 그 결과, 본 발명에서는, 도 3의 TQ 그래프를 참조하면, 첫번째 데이터비트의 전송타이밍변동값 TQ가 감소되기 때문에 25~35ps의 TQ 개선효과가 있다.

<44> 전술한 실시예에서 보인 본 발명의 수단 또는 방법에 준하여 본 발명의 기술분야에서 통상의 지식을 가진 자는 본 발명의 범위내에서 본 발명의 변형 및 응용이 가능하다. 예를 들면, 예비충전전압의 레벨을 조정하기 위하여 신호 VEN이 활성화되는 시점 또는 기간을 전체적인 데이터 파이프라인 전송타이밍에 적합하도록 변경하거나 전류구동량을 조절하는 것이 가능할 것이다.

【발명의 효과】

<45> 본 발명은 고속으로 동작하는 데이터전송시스템에서 첫번째 비트의 전송타이밍변동을 줄임으로써 데이터 송수신상의 신뢰성과 안정성을 향상시킨다.

【특허청구범위】**【청구항 1】**

데이타채널을 통하여 데이타를 송수신하는 시스템에 있어서:

상기 데이타채널에 연결되며 출력구동신호에 응답하는 출력드라이버; 그리고

소정의 데이타비트와 제어신호를 입력하며, 상기 데이타비트가 최초로 입력되기 전에 상기 제어신호에 응답하여 상기 출력구동신호를 발생하는 게이트회로를 구비하며;

상기 출력구동신호가 상기 데이타비트가 최초로 입력되기 전에 상기 데이타채널을 소정의 전압레벨로 만듦을 특징으로 시스템.

【청구항 2】

제1항에 있어서,

상기 제어신호가 상기 데이타비트가 최초로 입력되기 전에 소정의 시간동안 활성화됨을 특징으로 하는 시스템.

【청구항 3】

제1항에 있어서,

상기 게이트회로가 파워다운신호에 응답함을 특징으로 하는 시스템.

【청구항 4】

제1항에 있어서,

상기 출력드라이버가 상기 데이타채널과 접지전압사이에 직렬로 연결된 제1 및 제2트랜지스터를 구비함을 특징으로 하는 시스템.

【청구항 5】

제4항에 있어서,

상기 제1트랜지스터가 상기 데이터비트가 입력되기 전에 소정의 전압레벨을 가진 신호에 응답하며, 상기 제2트랜지스터가 상기 출력구동신호에 응답함을 특징으로 하는 시스템.

【청구항 6】

데이터채널을 통하여 데이터를 송수신하는 시스템에 있어서:

상기 데이터채널에 연결되며 제1출력구동신호에 응답하는 제1출력드라이버;

상기 데이터채널에 연결되며 제2출력구동신호에 응답하는 제2출력드라이버;

데이터비트들을 입력하며 제1클럭신호에 응답하여 상기 제1출력구동신호를 발생하는 제1게이트회로;

상기 데이터비트들을 입력하며 상기 제2클럭신호로부터 소정시간 지연된 제2클럭신호에 응답하여 상기 제2출력구동신호를 발생하는 제2게이트회로를 구비하며;

상기 제2출력구동신호가 상기 데이터비트들 중 최초의 데이터비트가 입력되기 전에 제어신호에 응답하여 상기 데이터채널을 소정의 전압레벨로 만듦을 특징으로 시스템.

【청구항 7】

제6항에 있어서,

상기 제어신호가 상기 데이터비트가 최초로 입력되기 전에 상기 제1클럭신호의 한 주기 동안 활성화됨을 특징으로 하는 시스템.

【청구항 8】

제6항에 있어서,

상기 게이트회로들이 파워다운신호에 응답함을 특징으로 하는 시스템.

【청구항 9】

제6항에 있어서,

각각의 출력드라이버가 상기 데이터채널과 접지전압사이에 직렬로 연결된 제1 및 제2트랜지스터를 구비함을 특징으로 하는 시스템.

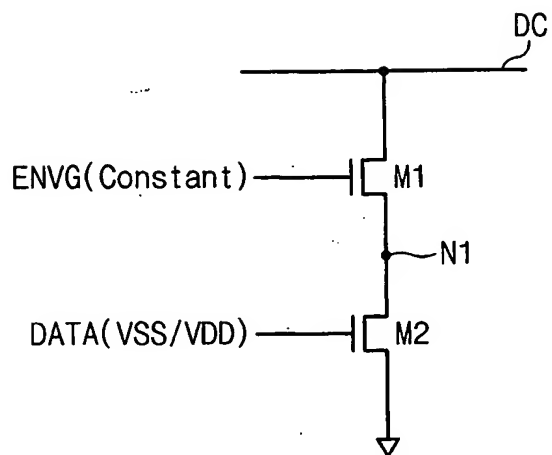
【청구항 10】

제9항에 있어서,

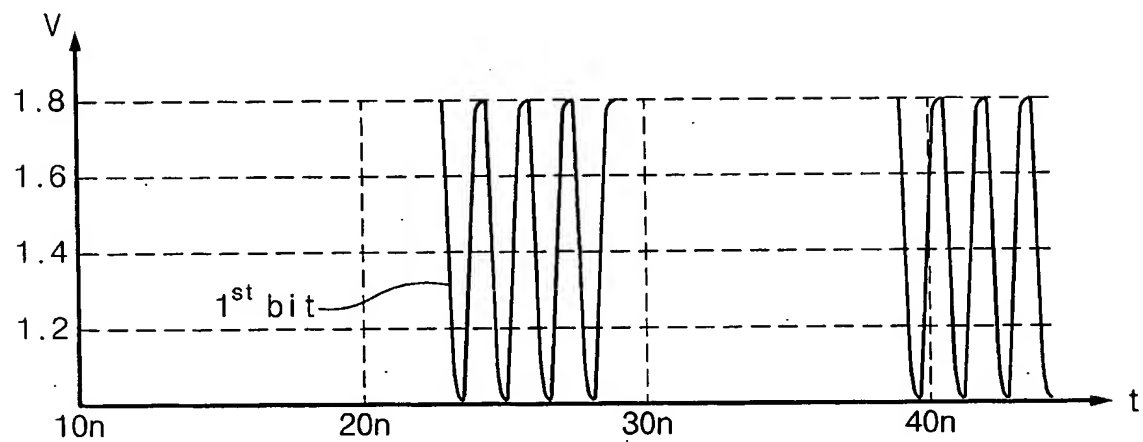
상기 제1트랜지스터가 상기 데이터비트가 입력되기 전에 소정의 전압레벨을 가진 신호에 응답하며, 상기 제2트랜지스터가 상기 출력구동신호에 응답함을 특징으로 하는 시스템.

【도면】

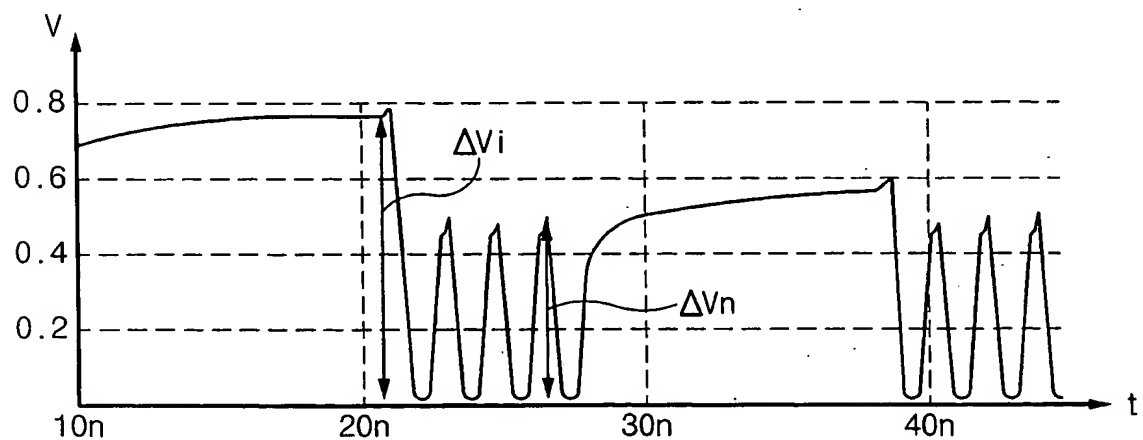
【도 1】



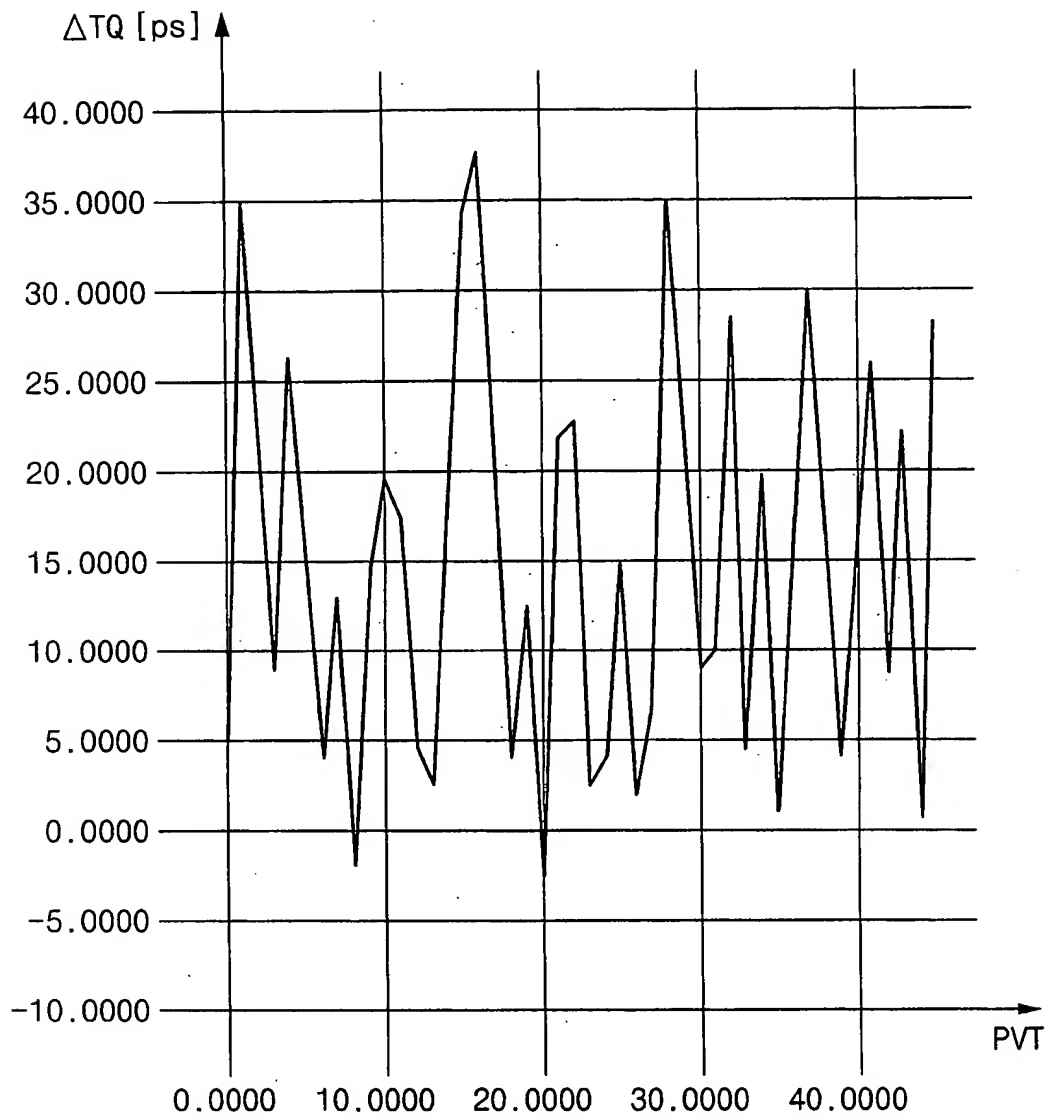
【도 2a】



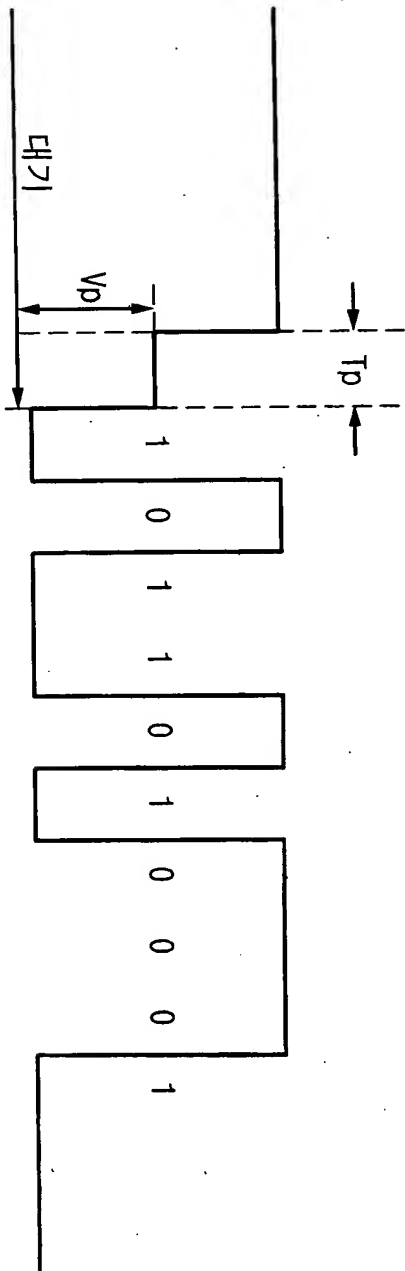
【도 2b】



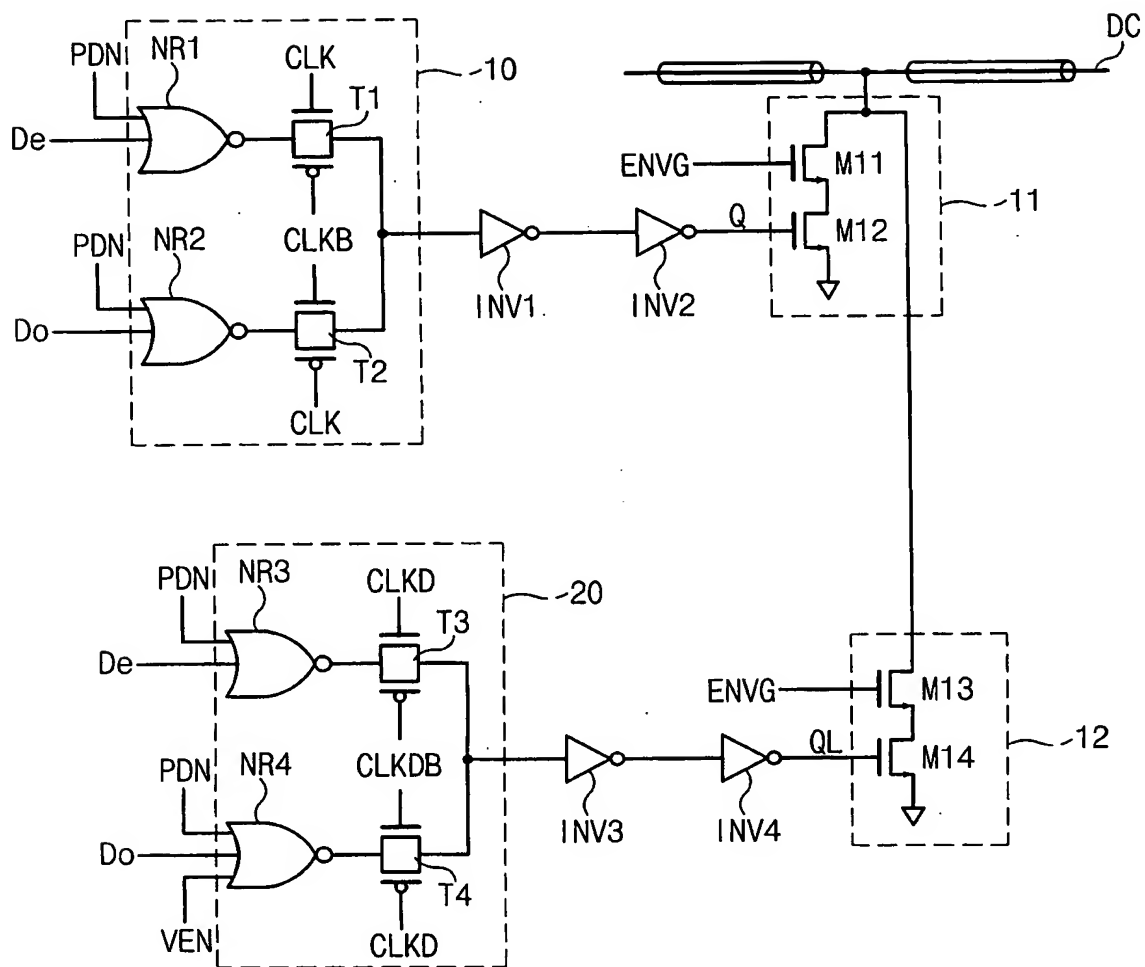
【도 3】



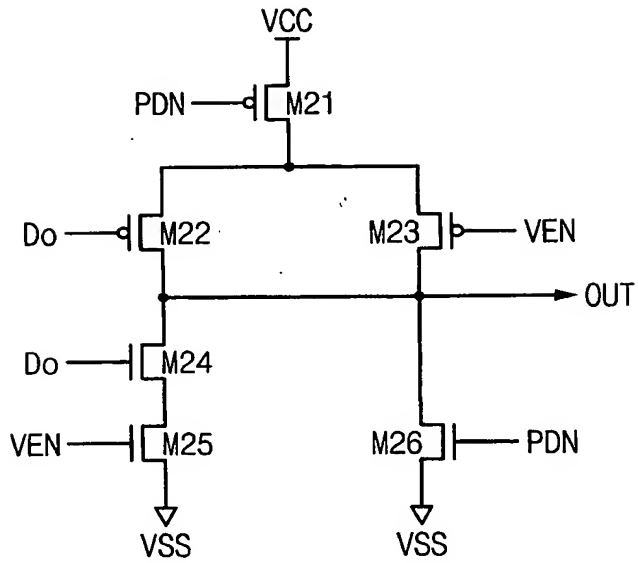
【도 4】



【도 5】



【도 6】

NR4

【도 7】

